

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-013949
(43)Date of publication of application : 22.01.1991

(51)Int.CI. G03F 7/26
G03F 7/00
H01L 21/027

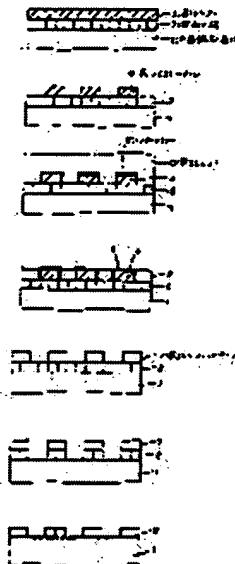
(21)Application number : 01-148459 (71)Applicant : OKI ELECTRIC IND CO LTD
(22)Date of filing : 13.06.1989 (72)Inventor : ITOU YASUE

(54) RESIST PATTERN FORMING METHOD

(57)Abstract:

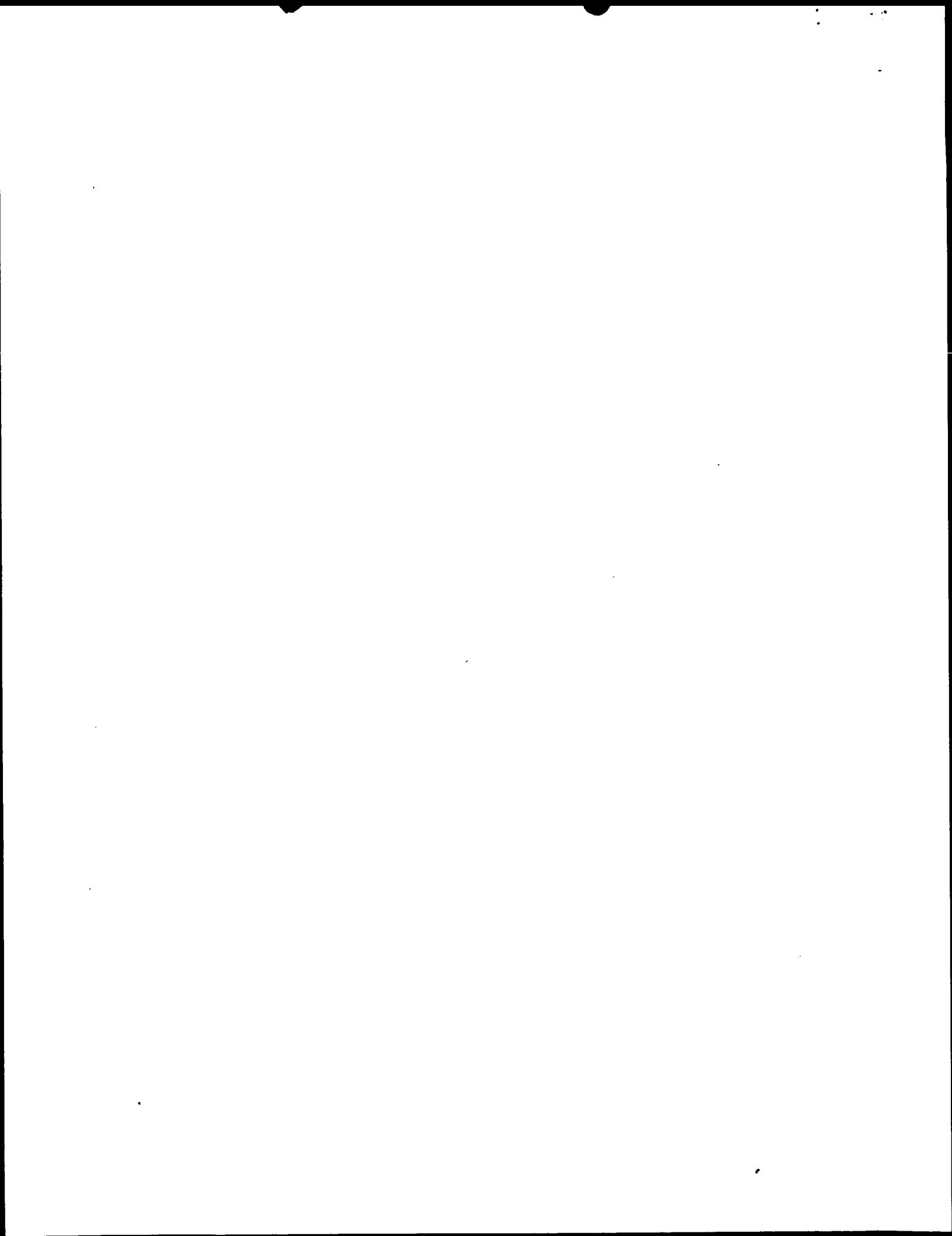
PURPOSE: To form a resist pattern having satisfactory etching resistance at a low cost by coating a pattern of a first resist with a second resist having higher etching resistance than the first resist and by removing the first resist.

CONSTITUTION: A film 2 of SiO₂, etc., to be etched is formed on an Si semiconductor substrate 1 and coated with a first resist 3 such as polymethyl methacrylate. This resist 3 is exposed through a pattern reverse to a desired pattern and developed. The substrate 1 with a formed first resist pattern 4 is thickly coated with a second resist 5 such as novolak resin and the resist 5 on the pattern 4 is removed with a prescribed etching device. Dry etching is continued with the device until the pattern 4 and an interlayer 6 are removed to give a reversal pattern 7 as a second resist pattern. The film 2 is then patterned by further etching and the pattern 7 is removed.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]



⑫ 公開特許公報 (A) 平3-13949

⑬ Int. Cl. 5
G 03 F 7/26
7/00
H 01 L 21/027

識別記号 511
内整理番号 7124-2H
7124-2H
2104-5F H 01 L 21/30
2104-5F

⑭ 公開 平成3年(1991)1月22日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 レジストパターンの形成方法

⑯ 特 願 平1-148459

⑯ 出 願 平1(1989)6月13日

⑰ 発明者 伊東 康恵 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑯ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑯ 代理人 弁理士 菊池 弘

明細書

1. 発明の名称

レジストパターンの形成方法

2. 特許請求の範囲

半導体基板上に被加工膜のパターン形成時にマスクとなるレジストパターンの形成方法において、上記被加工膜上に高解像力を有する第1レジストを塗布した後、これをパターニングして、第1レジストパターンを形成する工程と、

上記第1レジストパターン上に、上記第1レジストより耐エッチング性の高い第2レジストを、裏面の平坦性が上記第1レジストパターンを含む下地形状に影響されない程度に厚く塗布する工程と、

しかる後、上記第1レジストパターンより上の上記第2レジストをエッチング除去し、引き続ぎ、上記第2レジストより耐エッチング性が低い上記第1レジストパターンをエッチング除去し、上記第2レジストによる上記第1レジストパターンの反転パターンを形成する工程とを含むことを特徴

とするレジストパターンの形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はレジストパターンの形成方法に関する。〔従来の技術〕
従来、この種のレジストパターン形成方法を含む半導体膜のパターニング方法について第3図により述べる。尚、第3図は工程断面図を示す。

先ず、半導体基板21上に被加工膜22を蒸着等により堆積させ、この上にレジスト23を薄膜に塗布する(第3図a)。

次に、上記レジスト23に、図示略すマスクパターンをマスクとして紫外光を照射し、レジスト23を露光させ、これを現像処理し、所定のレジストパターン24に形成する(第3図b)。

その後、レジストパターン24をマスクとして溶剤を用いるウェットエッチングやガスを用いるドライエッチングにより被加工膜22をパターン化する(第3図c)。

最後に、不要となったレジストパターン24を、

剝離液等を用いて全面除去することにより半導体基板21上に、被加工膜22の所望のパターンを得ていた(第3図d)。

ところで、上述したレジスト23のパターンは、半導体回路の集成度向上及び性能向上の要求からますます微細化が進んでいる。このため、使用するレジスト23は解像力の高いものが求められ、レジスト23へのパターン露光工程においても短波長光を用いる技術や電子ビーム、X線或いはエキシマレーザを用いる技術が研究・開発されている。

(発明が解決しようとする課題)

然し乍ら、上述した従来方法における高解像力を有するレジスト23は、被加工膜22のドライ又はウェットエッチング処理に対してエッチング耐性が低いため、エッチング処理時にレジストパターン24のパターン寸法が変動し、被加工膜22に正確なパターンが形成できないという問題点があった。

勿論、レジスト23のエッチング耐性を向上さ

厚く塗布する工程と、しかる後、上記第1レジストパターンより上の上記第2レジストをエッチング除去し、引き続き、上記第2レジストより耐エッチング性が低い上記第1レジストパターンをエッチング除去し、上記第2レジストによる上記第1レジストパターンの反転パターンを形成する工程とを含むものである。

(作用)

本発明においては、第1レジストは高解像力を有するので、微細パターンが容易に形成される。そして、その微細な第1レジストパターンの反転パターンが形成され、被加工膜のエッチングマスクとなる第2レジストは、耐エッチング性が高いので、被加工膜のエッチング処理におけるパターン寸法の変動は生じない。即ち、微細パターンが容易に形成され、而も耐エッチング性の良好なレジストパターンが得られる。

(実施例)

本発明方法に係わる一実施例を第1図及び第2図に基づいて説明する。尚、第1図は形成工程断

せるため、レジストパターン24全面に紫外光等を照射して表面を硬化させる方法(UVキュア法)等が提案されているが、レジストパターン24のエッチング耐性を充分に向上させるに至っていないばかりか、UVキュアのための複雑な装置が必要となり、設備コストが嵩張るという問題点があった。

本発明の目的は、上述の問題点に鑑み、低コストでエッチング耐性の良好なレジストパターンの形成方法を提供するものである。

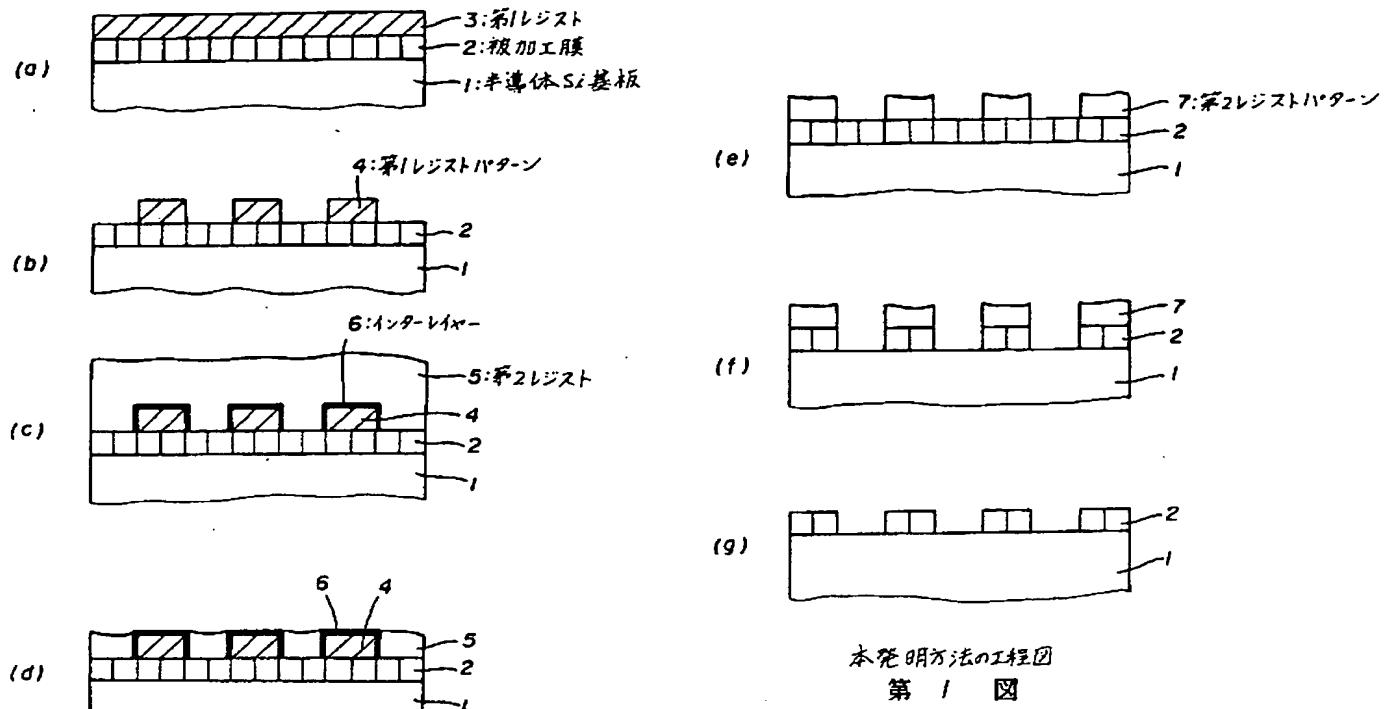
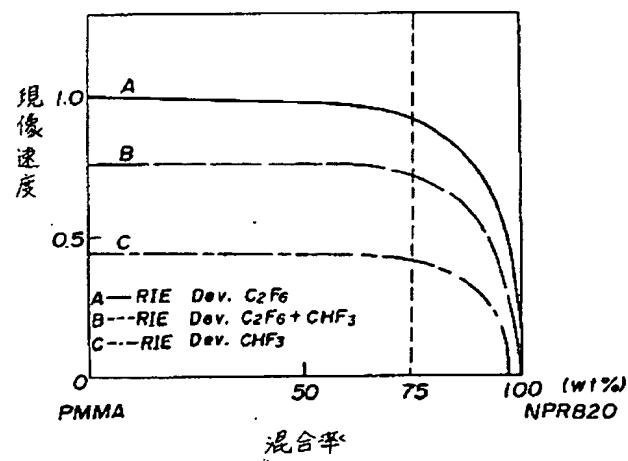
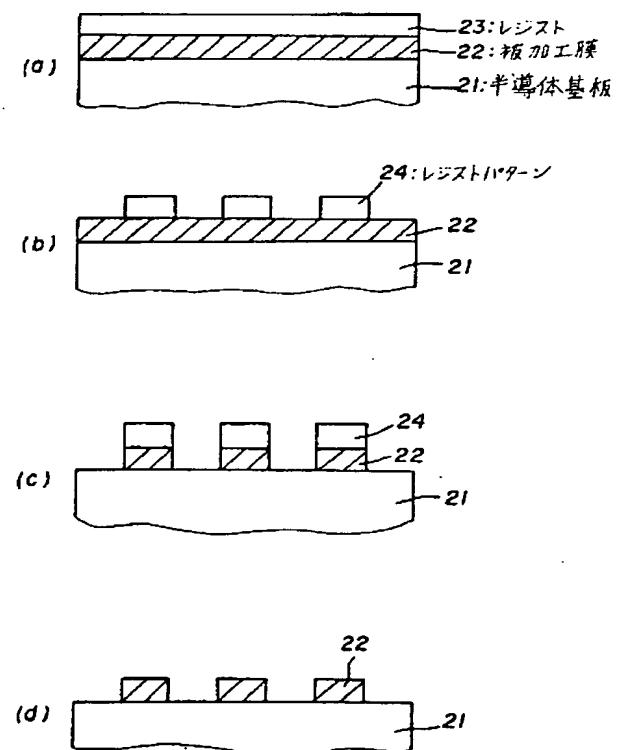
(課題を解決するための手段)

本発明は上述した目的を達成するため、半導体基板上の被加工膜のパターン形成時にマスクとなるレジストパターンの形成方法において、上記被加工膜上に高解像力を有する第1レジストを塗布した後、これをバーニングして、第1レジストパターンを形成する工程と、上記第1レジストパターン上に、上記第1レジストより耐エッチング性が高い第2レジストを、表面が上記第1レジストパターンを含む下地形状に影響されない程度に

面図、第2図は耐ドライエッチング性の特性図である。

先ず、半導体Si基板1上に、例えばSiO₂等の被加工膜2を、スパッタリング法等により約8000～15000Å厚形成する。その後、この被加工膜2上に、第1レジスト3として、例えば高解像力を有し低耐ドライエッチング性を有するポジ型電子線用レジストのポリメチルメタクリレートPMMA(長瀬産業製)を、スピンドルコートし、約180℃のホットプレートで約120秒間ペークを行ない、約5000～10000Å厚程度の薄膜に形成する(第1図a)。

次に、上記第1レジスト3に、加速電圧20kVの電子線を約50μC/cm²のドーズ量で照射し、最終的に被加工膜2に転写するパターンの反転パターンを直接描画露光する。統いて、クロロベンゼンをキシレンで、例えば4%に希釈した現像液に、上記第1レジスト3を約120秒間浸漬することにより現像処理し、その後、キシレンでリソスを行ない、電子線による第1レジストパターン4を得る。

本発明方法の工程図
第1図本発明方法の工程図
第1図耐ドライエーチング性特性図
第2図従来方法の工程図
第3図

形成する(第1図b)。

その後、第1レジストパターン4を含む基板1上に、第2レジスト5として、第1レジスト3より耐ドライエッティング性の高いノボラック型ポジ型ホトレジストNPR820(長瀬産業製)を、第1レジストパターン4を含む下地形状が裏面の平坦性に影響を及ぼさない程度の厚膜、例えば20000~30000Å厚程度に形成する。このとき、第1レジストパターン4と第2レジスト5との境界部分には、第1レジストパターン4、つまりPMMA及び第2レジスト5、つまりNPR820の両者が通常に1:3の割合に混合したミキシング層、所謂インターレイヤー6が生成される。かかるインターレイヤー6はPMMA及びNPR820の両者の性質を有し、耐ドライエッティング性はPMMAより良好でNPR820より劣る(第1図c)。

しかる後、C₂F₆ガスをCF₃ガスとの混合比が5:1の混合ガス雰囲気中で、2.2kWの出力を有する平行平板型アノードカップルエッティング装置を用いて、第1レジストパターン4上の第2レジ

スト5を全面エッティング除去する(第1図d)。

引き続き、C₂F₆ガスとCF₃ガスとの混合ガス中で同装置によりドライエッティングを行なう。このとき、第2図に示す如く、第1レジストパターン4及びインターレイヤー6は、第2レジスト5より耐ドライエッティング性が低いので、第1レジストパターン4及びインターレイヤー6はエッティング除去され、第1レジストパターン4の反転パターンである第2レジストパターン7が形成される(第1図e)。

その後、更に、ドライエッティングを続けることにより第2レジストパターン7をマスクとして被加工膜2はエッティングされ、パターン化される(第1図f)。

最後に、酸素によるアッシングや濃硫酸と過酸化水素水とを混合した溶液によって上記第2レジストパターン7を全面除去することにより基板1上に被加工膜2の所望パターンが得られる(第1図g)。

(発明の効果)

以上説明したように本発明によれば、高解像力を有する第1レジストに形成したパターンの反転パターンを、耐エッティング性の違いを利用して耐エッティング性の高い第2レジストに形成し、この第2レジストパターンを被加工膜のエッティングマスクとして用いることで、第1レジストに微細パターンが容易に形成でき、而も第2レジストは耐エッティング性が良好なので、被加工膜のエッティング処理時におけるパターン寸法の変動が防止できる。従って、被加工膜に微細パターンが確実に形成でき、電子の高密度化が促進できる。又、本発明は第1及び第2レジストの各々長所を利用するものであるため、複雑な装置を必要とせず、安価なレジストパターンが得られる等の特有の効果により上述した課題を解決し得る。

4. 図面の簡単な説明

第1図及び第2図は本発明に係わる実施例を示すもので、第1図は形成工程断面図、第2図はドライエッティング耐性の特性図、第3図は従来方法の工程断面図である。

1…半導体Si基板、2…被加工膜、3…第1レジスト、4…第1レジストパターン、5…第2レジスト、6…インターレイヤー、7…第2レジストパターン。

特許出願人 沖電気工業株式会社
代理人 弁理士 痞 池 弘

